**4 - Electrónica de estado sólido**

**Teoría de bandas**

* Átomos de silicio: 1s2 2s2 2p6 3s2 3p2 (4e- en valencia)
* Cuando los átomos están alejados, la estructura de bandas no se ve afectada
* Al aproximarse, los orbitales 3p y 3s se deforman, creando orbitales híbridos 3sp inestables
* Al aproximarse más y formar un enlace covalente, el orbital sp se divide en dos bandas:
  + **Banda de valencia:** Aloja a los electrones del enlace
  + **Banda de conducción:** Disociación de la banda original
    - Los electrones requieren energía para pasar de banda de valencia a conducción (**Gap de energía**)

**Electrones y huecos**

* Cuando un electrón pasa a la banda conductiva, deja en la banda de valencia una ausencia de carga negativa (**hueco**), que actúa como aporte de carga positiva.
* Tanto los e- de la banda conductiva como los huecos en la banda de valencia se desplazan, en sentidos opuestos y a distintas velocidades (el e- más rapido)

**Generación**

* Proceso por el cual un electrón de la capa de valencia alcanza suficiente energía para pasar a la de conducción
* Puede ocurrir por:
  + Generación térmica: proceso interno causado por la red cristalina
  + Fotogeneración: producida por la transferencia de luz

**Recombinación**

* Proceso por el cual un electrón vuelve a la capa de valencia ocupando un hueco y liberando energía
  + La energía se libera en forma de calor y radiación en forma de luz

**Tipos de semiconductores !!**

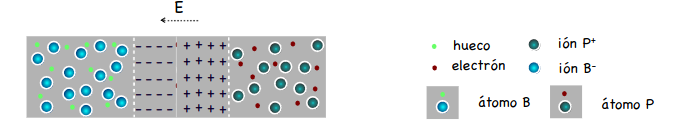
* Sea **n** la concentración de electrones en la capa de conducción y **p** la de huecos en la capa de valencia. Sea **ni** la concentración intrínseca !
* **Semiconductores intrínsecos:** **n=p=ni**
  + El movimiento de electrones se produce por generación, principalmente térmica
  + Se comporta como aislante a bajas temperaturas
* **Semiconductores extrínsecos:** n≠p, pero **n\*p=ni2**
  + **Tipo P:** p>>n
    - Se introducen átomos con un electrón menos que el del semiconductor. Ejemplo: silicio + boro
    - NA≃p → n=, en cm-3
  + **Tipo N:** n>>p
    - Se introducen átomos con un electrón más que el del semiconductor. Ejemplo: silicio + fósforo
    - **ND:**Concentración de átomos añadidos, átomos/cm3
    - ND≃n, p=, en cm-3

**Corriente en semiconductores !!!**

* **Corriente de arrastre:** Causada por una diferencia de potencial o presencia de un campo eléctrico.
  + Jn=σnE, Jp=σpE
  + **Conductividad(**σn,p): conductividad de electrones y huecos, respectivamente.
    - σn = q(nμn), σp = p(nμp)
    - μn,p: **movilidad** Ide electrones y huecos, respectivamente
  + **Resistividad**(ρ): σ-1
* **Corriente de difusión:** Causada por la tendencia de las partículas a distribuirse de regiones de alta densidad hacia regiones de baja concentración.
  + Jp = , Jn = .

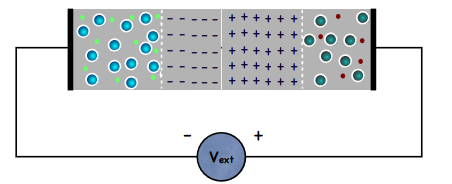
**5 - Diodo**

**Unión PN** (en equilibrio) !

****

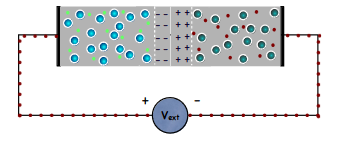
* Surge del contacto entre un semiconductor de tipo P y uno tipo N
* Se produce un fuerte **desnivel** debido al número elevado de huecos en el uno y de electrones libres en el otro
  + Los electrones se desplazan a ocupar los huecos, produciendo recombinación masiva en el centro, denominado **zona de vaciamiento**
* Cerca de la frontera se genera un campo eléctrico por la diferencia de carga, que se opone a la difusión de más carga movil.
  + La corriente de difusión y la de arrastre tienen valores muy próximos (Jd=Ja)
  + Esta oposición crea una barrera de potencial, denominada **potencial de contacto**. Los portadores mayoritarios[[1]](#footnote-0) no pueden pasar la barrera hacia el lado donde son minoritarios.

**Polarización inversa**

****

* Aplicamos un potencial externo al diodo, del mismo signo que el potencial de contacto.
* Los electrones libres en la parte N se acercan al polo + externo, por lo que la carga positiva en la zona de la frontera aumenta.
* Luego, los electrones son repelidos desde el terminal negativo de Vext, por lo que pasan a depositarse en el semiconductor P, donde se produce recombinación y alcanzan la zona de vaciamiento.
* Los huecos y electrones[[2]](#footnote-1) que aparezcan en la zona de vaciamiento serán trasladados a la región donde son mayoritarios por efecto del campo eléctrico. Este corriente es conocida como **corriente de saturación en inversa (Is)**
* Is toma un valor muy pequeño y es consecuencia de la diferencia de **Ja>Jd**

**Polarización directa !**

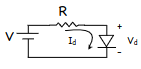
****

* Electrones libres viajan desde la fuente hacia la zona N hasta alcanzar la zona de vaciamiento
* Estos electrones ayudan a disminuír la carga iónica depositada, disminuyendo el potencial de contacto.
* Debido a esto, más electrones atraviesan la zona de vaciamiento y pasan a la zona P.
* Esto aumenta drásticamente el valor de la corriente de difusión: **Ja<Jd** [[3]](#footnote-2)

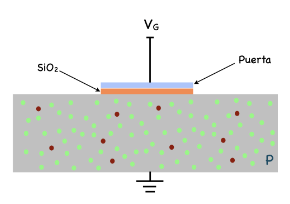
**Modelos circuitales**

* Si se trata de un diodo **ideal**, se ignora en el circuito.
* Si es de **tensión de despegue**,se comprueban las distintas posibilidades (ON/OFF), y se comprueba si existen contradicciones.
  + Vd < Vγ → Diodo en OFF. Id=0. Se comporta como circuito abierto.
  + Vd = Vγ → Diodo en ON. Causa una caída de tensión de valor Vγ.
* Si varios diodos están en serie, para estar en ON deben estarlo todos simultáneamiente.

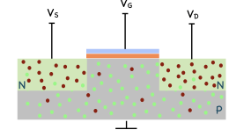
**Ejemplo modelos circuitales**

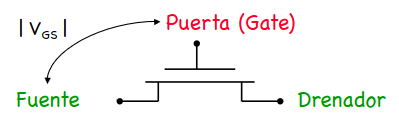
* V=5V, R=1K. Calcular V e I del diodo en:
* **Modelo aproximado / de tensión de despegue (Vγ=0.65V) V**
  + Primero se determina si el diodo está en OFF o ON.
  + Si está en OFF, Id=0, Vd=V=5V, Vd>Vγ. El diodo no puede estar OFF.
  + Al estar ON, resolvemos el circuito. El diodo fija su voltaje a Vd=0.7V, por lo que VR=4.3V y Id=4.3mA.
* **Modelo ideal (Vy = 0V)**
  + Por la lógica previa, el diodo no puede estar OFF. Vd = 0V.
  + Resolvemos el circuito. Id=IR = 5mA,

**6 - Transistor**

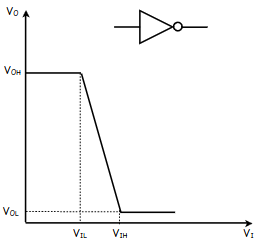
**Estructura MOS !**

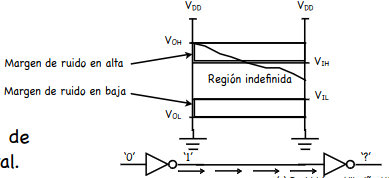
* Partimos de un semiconductor intrínseco y se dopa para hacerlo extrínseco.
* Situamos en la parte de arriba una capa de óxido, y encima una capa metálica denominada puerta
* Si aplicamos una tensión VG sobre la puerta, el semiconductor reaccionará según el signo y valor de la tensión:
  + **VG<0:** Se deposita carga negativa sobre la puerta y se induce positiva al otro lado. El material se carga de forma similar a un condensador: **Modo de acumulación**
  + **VG>0:** Se deposita carga positiva sobre la puerta.
    - Se debería inducir carga negativa al otro lado, pero al ser semiconductor tipo P, no se puede compensar por completo, produciendo un campo eléctrico que repelerá los huecos del semiconductor.
    - Aparece una capa de vaciamiento de carga iónica negativa desde la superficie del semiconductor. (**Modo de vaciamiento)**
  + Si sigue aumentando VG, aumentará el campo eléctrico y se comenzarán a romper enlaces, por lo que la concentración de electrones libres aumenta.
    - Estos electrones se acumularán bajo la puerta, compensando parcialmente la carga. Se denomina **modo de inversión.**

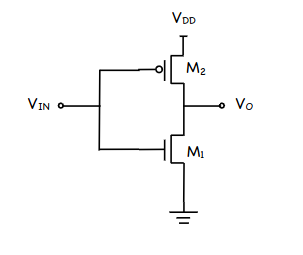
**Transistor MOS**

* Tomamos una estructura MOS y dopamos ambos lados de la puerta para crear dos regiones semiconductoras de tipo N. La de la izquierda se denomina **fuente** y la de la derecha se denomina **drenador**.
* En este circuito no fluye corriente entre la fuente y el drenador, a no ser que se aplique un potencial lo suficientemente alto a la puerta. (**VG > VTH**)
* De esta forma, se produce un efecto de transistor. El dispositivo se denomina **Transistor NMOS[[4]](#footnote-3)**
  + Abierto funciona como un interruptor abierto. Cerrado funciona como una **resistencia** de valor **RON**.
* Un Transistor **PMOS** es idéntico pero con una unión PNP en lugar de NPN. De esta forma, existe un canal cuando **VG<VTH →** Puerta invertida
* La corriente entre fuente y drenador sigue la siguiente fórmula: **ID=f(W/L)**
  + Siendo W la anchura del canal y L la longitud.

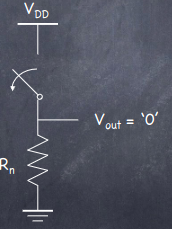
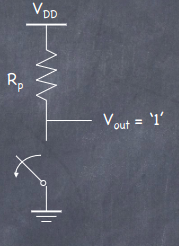
**7 - Métricas de calidad**

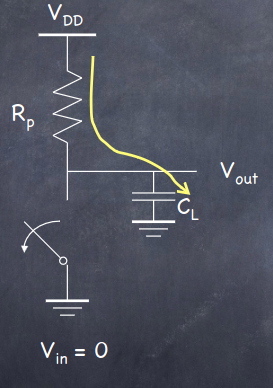
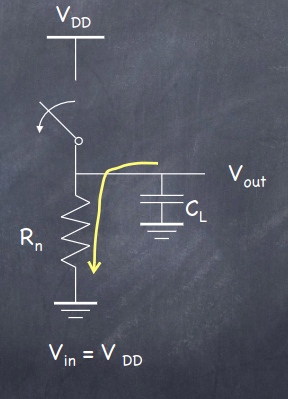
**Fiabilidad y robustez III**

* La curva **VTC** (voltage transfer characteristic) representa Vo respecto a Vi para un componente. Permite describir el comportamiento ideal y real de un componente.
* **VOH**: Nivel alto de salida
* **VOL:** Nivel bajo de salida
* **VIL:** Valor máximo de entrada interpretado como 0
* **VIH:** Valor mínimo de entrada interpretado como 1
  + VIL y VIH se consiceran como los puntos con pendiente -1
* **NML**: Margen de ruido en baja: VIL-VOL
* **NMH:** Margen de ruido en alta: VOH-VIH
* Cuanto mayores sean los márgenes de ruido, más robusto será el circuito.



**Inversor CMOS**

* VOH = VDD (voltaje de alimentación), VOL=0. Márgenes de ruido elevados
* **Rn = Kn\*Ln/Wn, Rn = Kp\*Lp/Wp,**
  + Es decir, la resistencia ofrecida es dir.prop. a la longitud del transistor e inversamente a la anchura. K es una constante propia del transistor.

**Retardo en un circuito**

* La capacidad **CL** representa la capacidad de salida de este inversor sumada a las capacidades de entrada de todas las puertas a la que va conectada.
* La carga y descarga de CL, como si fuese un condensador, determinará los retardos del circuito. Sustituyendo en la fórmula, obtenemos:
  + **Retardo prop. alta-baja tPLH = ln(2)RPCL**
  + **Retardo prop. baja-alta tPHL = ln(2)RNCL**
* Buscamos que los retardos sean simétricos, por lo que buscaríamos que Rp=Rn=R. Entonces, **[[5]](#footnote-4)**
* Conclusiones:
  + **tp** es directamente proporcional a **CL**, y CL aumentará cuanto más puertas lógicas estén conectadas (y cuanto mayor sea su CI)
    - Definimos **fan-out** como el nº de puertas conectadas a la salida de la puerta conectada. A mayor fan-out, mayor retardo.
  + **tp** es también directamente proporcional a R, por lo que debemos minimizarla. Para esto:
    - Debemos minimizar **Ln** y **Lp** (llegado cierto punto es imposible)
    - Maximizar **Wn** y **Wp** (sin embargo, aumentar W también aumenta la CO del transistor, por lo que dependerá del caso si merece la pena aumentar W o no)

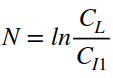
**Consumo de un circuito II**

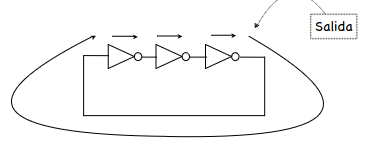
* ****

(potencia dinámica, 90%) (potencia de cortocircuito, 8%) (potencia estática, 2%)

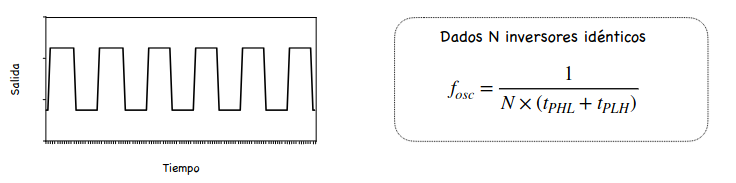
* Para disminuir el consumo de potencia dinámica (transición entre estados), se deben disminuir **CL** (fanout), **VDD**(tensión de alimentación) y **fo** (frecuencia)
* La potencia de cortocircuito (transición entre estados, cuando hay corriente entre alimentación y tierra) depende principalmente del **fanout:** cuanto mayor sea el fanout, menor será la potencia (cuanto más fanout mejor, es inverso a en la potencia dinámica)
  + Aun así es mejor fanout pequeño porque PD es más significativa
* La potencia estática (fugas) depende principalmente del proceso de fabricación

**Inversores en cascada**

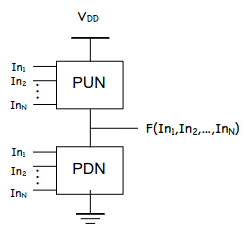
* La unión de dos inversores CMOS es útil por su **propiedad regenerativa:** permite que una señal perturbada converja al nivel de tensión normal
* En ocasiones, utilizar varios inversores también permite **reducir los retardos**, pues puede ser más fácil cargar paso a paso una capacidad CL que cargarla de golpe en un único paso (ejemplo de escalar muro/subir con escaleira)
  + Si para un inversor CL >> CO, tp=tPHL=tPLH=ln2RCL.
    - Aumentar W para este transistor aumentará su CO (lo cual no es demasiado relevante) pero también aumentará su CI, perjudicando al resto del circuito.
    - La **CL** de un inversor k es **COk + CI(k+1)**
* Por lo tanto, en lugar de modificar su W añadimos otros dos inversores, tales que el segundo es s veces más grande que el primero y el tercero es s2 veces más grande que el primero.
* Si el escalado es ideal, .
* Sumamos sus tiempos de retardo. Para N inversores, asumiendo un escalado ideal, 
* Para calcular el nº de escalones N que minimiza el retardo, derivamos la expresión en función de N. Asumiendo pequeño el retraso de la primera etapa, obtenemos:
*  (N: nº de etapas óptimo)
* En una situación real tomaremos s y N enteros, y no se cumplirá que el escalado sea ideal. Se redondeará N al número entero más próximo[[6]](#footnote-5) .
  + S debe estar entre 2 y 5.

**Oscilador en anillo**

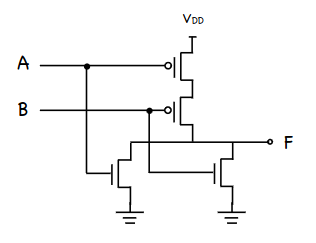
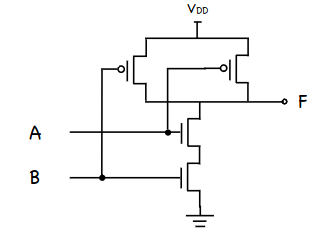
* Un lazo cerrado de un número **impar** de inversores proporciona un **oscilador digital**.



**8 - Circuitos lógicos combinacionales**

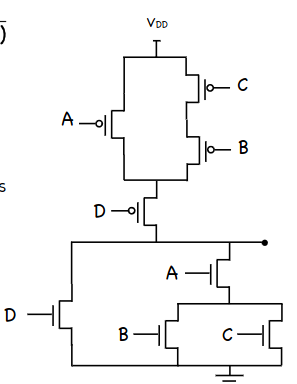
**Lógica CMOS complementaria !!!!**

* Propiedades:
  + Fiabilidad: salidas siempre bien definidas
  + 2 transistores por entrada (PMOS y NMOS)
  + Transistores en serie más lentos que en paralelo
  + Las puertas en lógica complementaria incluyen una **inversión**, por lo que la salida será negada
* Al crear funciones lógicas con tecnología CMOS, una conexión en serie en el bloque PMOS corresponde con una en paralelo en el bloque NMOS, y viceversa
  + Tras elaborar uno de los bloques, el otro será una copia con las conexiones en serie cambiadas por paralelo y viceversa.
* El bloque **PDN** conectado a tierra asegura que el ‘0’ lógico se devuelve de forma correcta.

**Ejemplo: puertas lógicas**

* **Puerta NAND:** **Puerta NOR:**

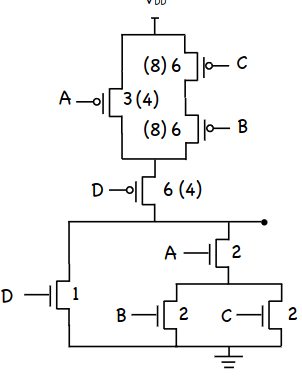


**Ejemplo:** 

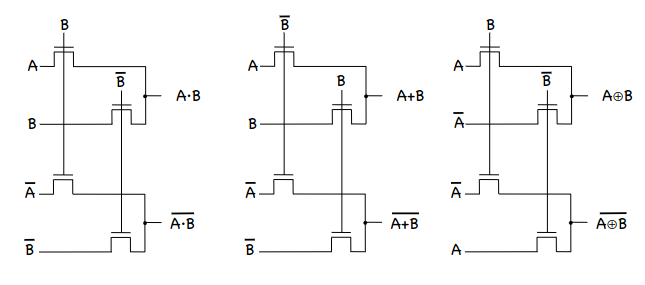
* Bloque P en parte superior, N en inferior
* Se realiza la función por partes:



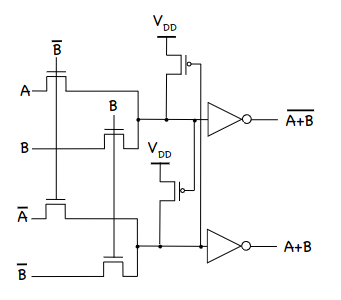
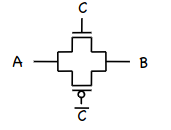
**Dimensionado de transistores** para obtener retardos simétricos

* Partimos de que todos los transistores tienen s=1.
* Calculamos los peores casos de retardo tanto para 0→1 como para 1→0, estudiando tpLH y tpHL en los caminos más largos (con mayor resistencia entre los puntos)
  + Ejemplo: En el siguiente circuito, el peor caso ‘0’-->’1’ (parte superior PMOS) es el camino que toma C,B,D en serie.
  + R=RD+RB+RC=(2R/s)+(2R/s)+(2R/s)= 6R/s[[7]](#footnote-6)
* Calculamos, para cada resistencia, el valor de **s** que hace que la resistencia sea igual a **R**. En el caso anterior, C,B y D toman aumento **s=6**.
* Una vez se calculan los peores casos absolutos, se asegura que la resistencia presentada por los demás caminos sea menor o igual.
  + Ejemplo: Tras calcular que sD=6, definimos que RA+RD≤R → 2R/sA+2R/6≤R→ 2R/sA≤2R/3 → sA=3
* En este caso, se pueden tomar aumentos distintos (entre paréntesis) que resultan en la misma resistencia, pero es más eficiente
  + Si se colocan los elementos de menor capacidad más próximos a la fuente, se reducen los retardos.

**Lógica de transistor de paso complementaria (CPL) !!**

* Se obtiene simultáneamente la complementaria de cada salida
* Las puertas básicas tienen todas la misma estructura, sólo cambian las entradas
* Lógica compacta
* **Inconvenientes:**
  + Las NMOS transfieren un ‘0’ fuerte y un ‘1’ débil
    - Siendo VTh la tensión umbral del transistor y VDD la tensión en caso de ‘1’, en caso de ‘1’ la la salida del transistor será VDD-VTh. Dependiendo de los márgenes de ruido del inversor, este valor puede no ser reconocido como ‘1’. Se pierde un valor de VTH en cada transistor.
  + PMOS transfiere un ‘1’ fuerte y un ‘0’ débil

**Soluciones**

* Usar transistores con VTH=0 (non é boa! sensibles ao ruido!)
* Utilizar un lazo de realimentación I: En caso de ‘1’, se activa un transistor que conoecta VDD con la salida del transistor a corregir, fijando la tensión a VDD y evitando pérdidas.
  + Ejemplo: AND/NAND en CPL con realimentación
* Usar puertas de transmisión:
  + Combinando los dos tipos de transistores, se complementan. En caso de ‘1’ lógico funciona el PMOS, en caso de ‘0’ el NMOS. De esta forma, se evitan las pérdidas.

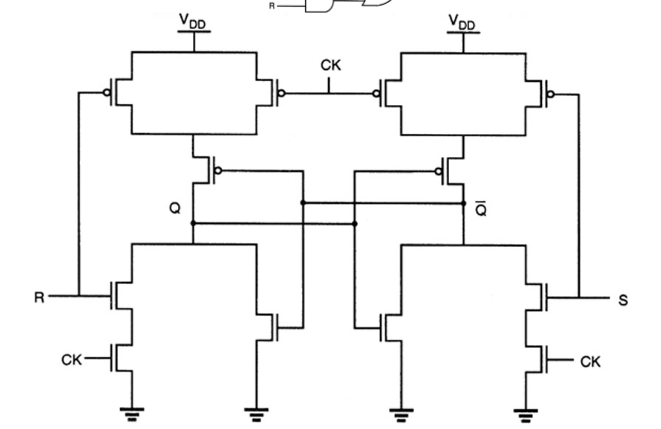
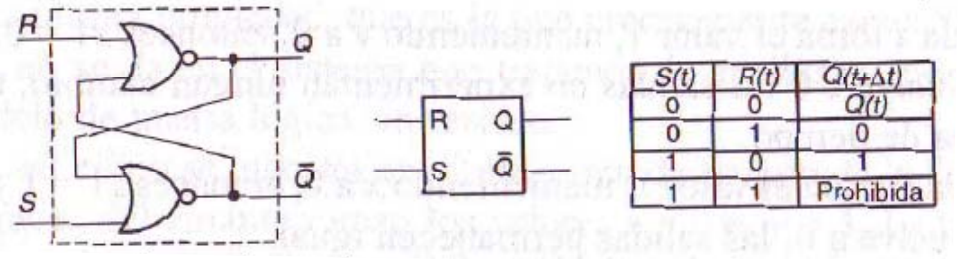
**9 - Circuitos lógicos secuenciales**

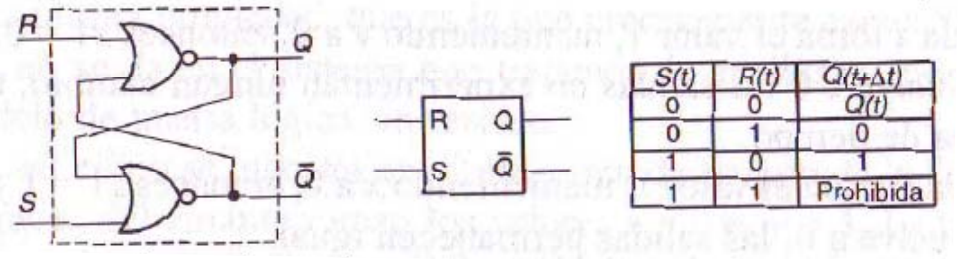
**Tipos de registros**

* **Latches:** se activan con reloj en alta/reloj en baja. (sensible a nivel)
  + La señal cambia al estar en modo transparente (normalmente, reloj en HIGH) y se mantiene estable en modo hold (norm, reloj en LOW)
  + **Inconveniente:** En un mismo ciclo de modo transparente, si es demasiado largo, podría cambiar el valor varias veces, produciendo un valor incorrecto.
* **Registros/flipflops:** Sensibles a los flancos (flanco positivo/negativo). Se construyen mediante latches. Son más útiles.

**Latches**

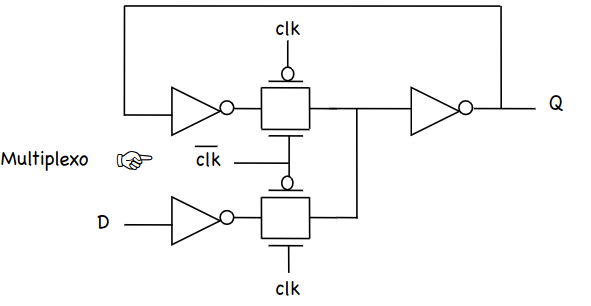
* El acoplamiento cruzado de dos inversores da lugar a un circuito biestable (dos estados estables)
* Requiere intervención exterior para cambiar el valor del estado. Dos estrategias:
  + **On-line:** Introduce un cambio entre los inversores mientras está en funcionamiento
  + **Off-line:** Pausa el mecanismo temporalmente, introduce el valor deseado y lo reanuda.

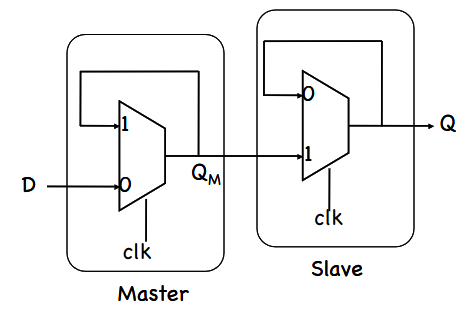
**Ejemplo:Latch SR (On-line)**

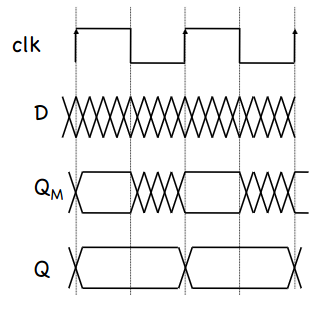
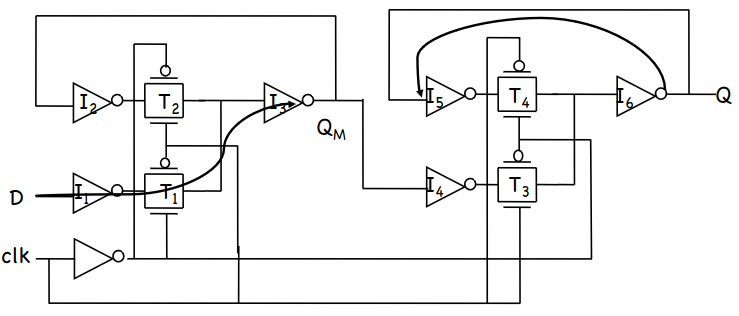


Q = ¬(RCK + Q)

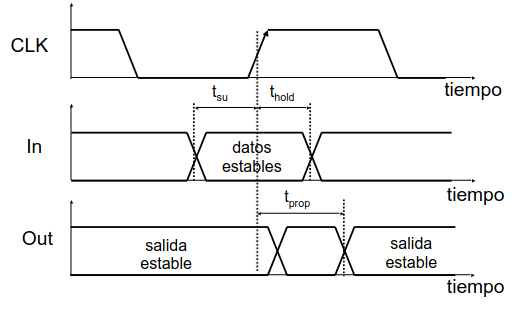
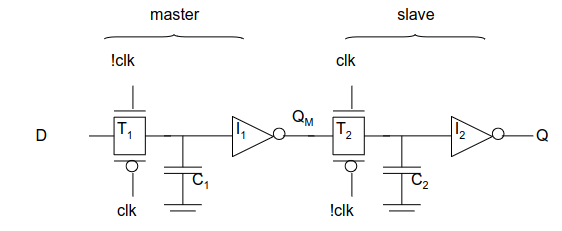
**Latches off-line**

* Se cambia de estado rompiendo el lazo de realimentación, mediante un multiplexor
* (en imagen) un latch negativo, transparente cuando el reloj está en baja. 
  + Un latch positivo sería intercambiando 0 y 1, y sería transparente con el reloj en alta.
* Se puede implementar un multiplexor mediante puertas de transmisión:
  + Es necesario pasar la señal de reloj a ambas partes de la puerta de transmisión. De esta forma, los distintos ciclos quedan bien separados y no se produce ninguna indeterminación donde ambos inversores están conectados uno con el otro, produciendo un sistema inestable cuya salida dependería de sus retardos.

**Flipflop disparado por franco (flipante)**

* Compuesto por dos latches, siendo uno master y otro slave. El S tomará como entrada la salida del M.
* Ejemplo:
  + Siendo M transparente en clk=0 y S transparente en clk=1
  + El resultado es que la salida de S sólo cambia en flanco de subida.

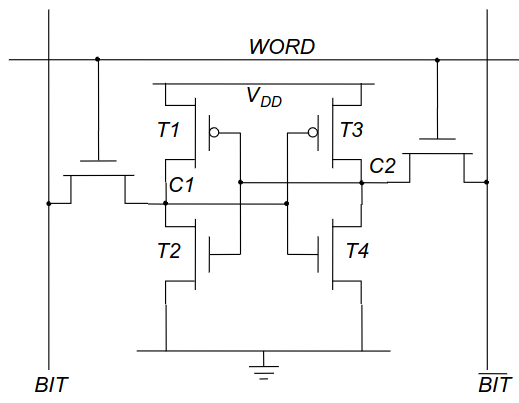
**Caracterización de flipflop I**

* Sean tpd\_inv los retardos de los inversores y tpd\_txx los retardos de las puertas de transmisión
* **Tiempo de set-up (tsu) -** Tiempo anterior al flanco positivo para el que los datos D deben ser válidos.
  + 3\*tpd\_imv + tpd\_tx
* **Tiempo de mantenimiento (thold)** tiempo posterior al flanco positivo que debe mantenerse la entrada D. Suele ser 0.
* **Retardo de propagación (tprop):** Tiempo que tarda QM en propagarse a Q
  + tpd\_inv + tpd\_tx (sólo un inversor, se considera que el inversor I4 ya ha sido pasado antes de empezar a contar tprop)
* **Registro dinámico:** Utilizan condensadores cuya carga almacena el dato guardado. Sin embargo, mantienen el dato sólo temporalmente debido a fugas.
  + tsu = tpd\_tx, tc-q= 2tpd\_inv + tpd\_tx

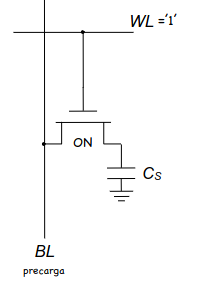
**Cock Skew !**

* Fenómeno observado en circuitos síncronos, donde CLK y ¬CLK no cambian de valor simultáneamente, por lo que las señales de reloj no llegan al mismo tiempo a los componentes.
  + **Solapamiento 1-1:** Existe un instante donde ambas son 1
  + **Solapamiento 0-0:** Existe un instante donde ambas son 0

**10 - Memoria de estado sólido**

**Celda RAM estática (SRAM) !!!**

* La señal ‘WORD’ indica si se lee la celda representada o no.
* C1 almacena el dato y C2 el dato negado
* Cada una de las celdas almacena un bit en memoria
* Para leer, primero se precarga BIT y ¬BIT a 1.
  + De esta forma, cuando se activan los transistores (cuando WORD=’1’) si la señal interna es un 1 se leerá un 1 (no cambia), y si es un 0 el ‘1’ lógico de BIT se descargará al contactar con tierra y se convertirá en 0. De cualquier forma, BIT tomará el valor de C1 y ¬BIT el de C2.
  + Este proceso se denomina ‘descarga condicional’. Al producirse, temporalmente fluye corriente por C1/C2 por lo que, si tenía un 0, durante un momento su valor pasará a ‘1’ y luego se corrige. Esto puede ser un **follón** bien grande, debido a que durante ese momento se varía la entrada de C2/C1.
  + Denominamos VIL al valor de tensión máximo que se produce en el **follón**. Para minimizarlo, requerimos que la resistencia de TW sea mucho mayor que la ofrecida por T2/T4
* Para escribir, se precarga el dato a escribir en BIT y su negado en ¬BIT.
  + Se activa WORD. El proceso es el mismo que en la lectura, produciéndose descarga condicional, y C1 toma el mismo valor que BIT.
  + En la transición ‘1’-->’0’ (escribir un 0 cuando habia almacenado 1), se produce otro **follón**. Para minimizar el efecto del **follón**, la resistencia de T3 debe ser mucho mayor que la de TW (en este caso, queremos que a variación de tensión sea grande para que si se detecte o cambio, que antes queríamos evitar.
* Conclusión: R (T1, T3) >> R(Tw) > R(T2, T4)
  + **Nota:** R inv. prop. ao tamaño. os transistores máis grandes son os que van a terra

**Celda RAM dinámica (DRAM)**

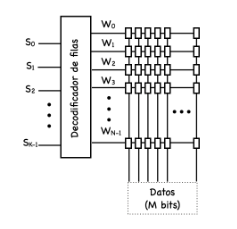
* Utiliza un condensador para almacenar la memoria.
* **Escritura:** Se carga Cs activando WL y poniendo el valor correcto en BL
* **Lectura:** Se precarga BL y se activa WL. Así, se distribuye la carga entre CS y CBL, por lo que BL toma el valor de Cs.
  + Sin embargo, al hacer esto se destruye lo almacenado en Cs.

**Diferencias DRAM/SRAM**

* Las celdas DRAM tienen una línea de acceso (BL) en contraste con las SRAM (que teñen BL e BL negado supoño? ‘en contraste’ é unha forma rara de decilo)
* La operación de lectura en DRAM es destructiva, requiere operaciones adicionales
  + Además, requiere una capacidad adicional para almacenar el dato, y también un amplificador sensor por bitline para la distribución de carga
* La memoria SRAM tiene más transistores (más costosa) y es más rápida

**Amplificador sensor**

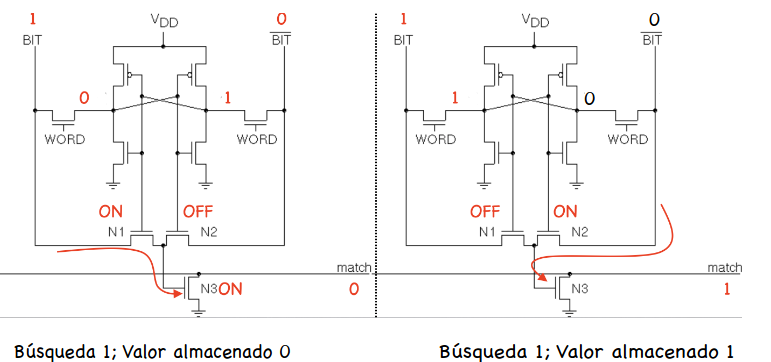
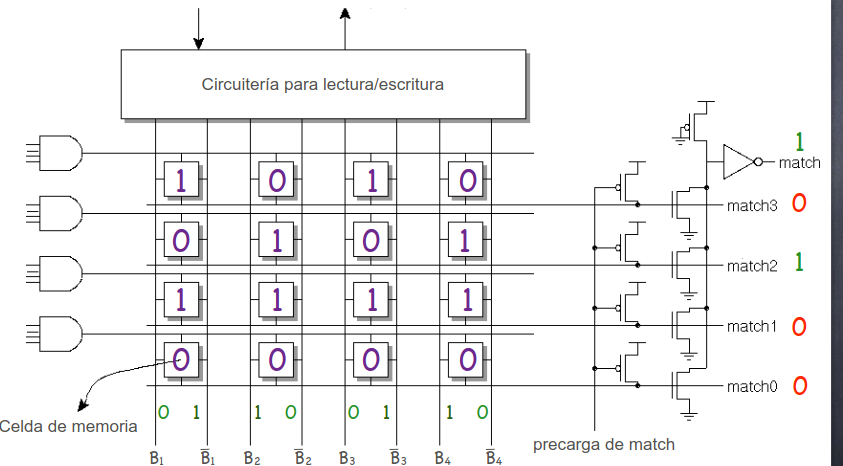
* Es necesario en las DRAM, y aumenta el rendimiento de las SRAM.
* Se coloca entre BL y la salida, estando conectado a una fuente VDD/2
  + Si VBL>VDD/2, VOUT=VDD
  + Si VBL<VDD/2, VOUT=0V



**Decodificadores**

* Reducen el número de líneas de selección.
* N palabras → K=log2N líneas de selección
* Idealmente, se busca que nºcolumnas=nºfilas

**Memorias CAM**

* **Operación match**: Busca en WORD el dato que se pasa por BIT
  + Si no coincide, N3=1→Match=0
* Otras operaciones: lectura, escritura
* Una memoria contiene varias celdas CAM, agrupadas en palabras. Una serie de celdas CAM permiten buscar una palabra completa. Ejemplo: búsqueda de 0101

1. Huecos en la zona P, y electrones en la zona N. [↑](#footnote-ref-0)
2. Salen electrones de la zona N y, como entran en la zona P, salen huecos de la zona P. [↑](#footnote-ref-1)
3. En este caso, la corriente entra en el lado N en forma de electrones y entra en forma de huecos por P. [↑](#footnote-ref-2)
4. N viene de que el canal es un semiconductor tipo N, [↑](#footnote-ref-3)
5. nota: 1 m = 10³ mm = 10⁶ μm = 10⁹ nm = 10¹² pm = 10¹⁵ fm [↑](#footnote-ref-4)
6. Tener en cuenta que N impar invertirá la entrada. Si el dispositivo que se optimiza es un inversor, se debe dejar N impar. [↑](#footnote-ref-5)
7. Se toma 2R porque, habitualmente, Rp=2RN. Non ten que ver co de arriba de alto/bajo. [↑](#footnote-ref-6)